

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-235651

(43)Date of publication of application : 05.09.1995

(51)Int.Cl.

H01L 27/12
H01L 21/20
H01L 21/304
H01L 21/306
H01L 21/762
H01L 21/76

(21)Application number : 06-327503

(71)Applicant : CANON INC

(22)Date of filing : 28.12.1994

(72)Inventor : YAMAGATA KENJI
YONEHARA TAKAO

(30)Priority

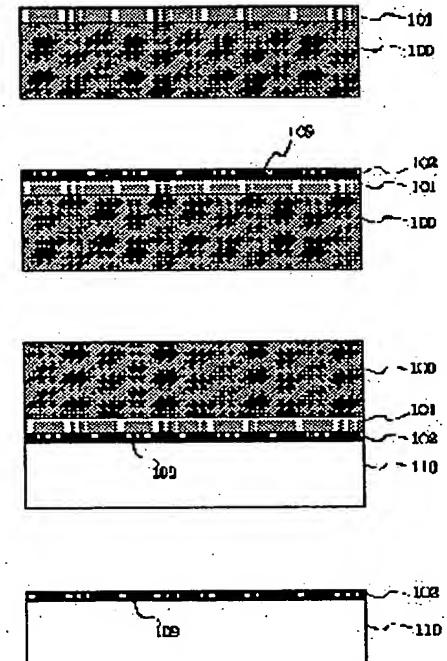
Priority number : 05337494 Priority date : 28.12.1993 Priority country : JP

(54) SEMICONDUCTOR SUBSTRATE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To protect a thin film against cracking and peeling and to prevent a substrate from warping much by a method wherein dissimilar substrates are brought into close contact with each other only by a Van der Waals force at a room temperature, and a single crystal silicon thin film is formed on the insulating substrate without performing a thermal treatment.

CONSTITUTION: The surface of a silicon substrate 100 is turned into a porous silicon 101. A single crystal silicon layer 102 is epitaxially grown on the porous silicon 101 through a CVD method. The substrate 100 which is cleaned with a mixed solution composed of hydrochloric acid/hydrogen peroxide/water, rinsed with pure water, and dried up and a molten quartz substrate 110 which is cleaned through the same method are brought into close contact with each other at a room temperature. The silicon substrate side of the joined substrate is ground. In succession, the silicon substrate 100 and the porous silicon layer 101 are subjected to an etching process. In result, an SOI substrate composed of a transparent substrate and a single crystal silicon thin film formed on it can be obtained. The SOI substrate is annealed and subjected to a heat treatment so as to enhance its joint interface in binding power. By this setup, a thin film can be protected against cracking, peeling, and warpage.



LEGAL STATUS

[Date of request for examination] 24.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3262470

[Date of registration] 21.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Laid-Open Patent Publication No.
7-235651/1995 (Tokukaihei 7-235651) (Published on
September 5, 1995)

(A) Relevance to claims

The following is a translation of passages related to
claim 1 of the present invention.

(B) Translation of the relevant passages

[Claims]

[Claim 1]

A method for manufacturing a semiconductor
substrate, characterized by carrying out the following
steps in sequence:

(a) a step for anodizing a surface layer on one
surface of a single-crystal semiconductor substrate so as
to cause the surface layer to be porous, in order to form a
porous single-crystal semiconductor layer on a
non-porous single-crystal semiconductor area;

(b) a step for epitaxial-developing a non-porous
single-crystal semiconductor layer on the porous
single-crystal semiconductor layer;

(c) a step for superposing a surface of the

non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the insulating substrate, virtually without carrying out a heat treatment;

(d) a step of etching the non-porous single-crystal semiconductor area, in order to remove a part of the non-porous single-crystal semiconductor area;

(e) a step of etching the non-porous single-crystal semiconductor area remaining after the step (d), in order to remove all of the non-porous single-crystal semiconductor area and cause the porous single-crystal semiconductor layer to be exposed; and

(f) a step of selectively etching the porous single-crystal semiconductor layer in order to remove the porous single-crystal semiconductor layer.

[Conventional Art]

[0010]

However, according to this method, a heat treatment is required so that a thin silicon substrate which is about 300 μ m thick has to be adopted in consideration of a thermal stress. For this reason, accidents such as cracking the substrate tend to occur during the processes of bonding and carrying the substrate, so that the

processes have to be carried out with great care. Moreover, to carry out a heat treatment with a higher temperature, a cycle of thinly grinding the substrate and carrying out a heat treatment has to be repeated. Thus, there is such a deficiency that the manufacturing speed cannot be increased when a "laminated SOI substrate" is manufactured.

[0015]

[Problem to Be Solved by the Invention]

As described above, in the conventional "laminated SOI substrate", an insulating substrate and a silicon substrate cannot be sufficiently bonded with each other without carrying out a heat treatment. However, as described above, the aforementioned problems such as the crack and warpage of the substrate occur when a silicon substrate is directly bonded with a transparent substrate whose thermal expansion coefficient is different from that of the silicon substrate. To solve this problem, the temperature of the heat treatment has conventionally been subtly adjusted in such a manner as to keep the bonding force to be sufficient to withstand the shearing force while restrain the problems of crack and warpage. Such a subtle adjustment is, however, difficult to carry out.

[0017]

[Means to Solve the Problem and Effects]

Thus, the objective of the present invention is to form a high-quality and high-performance SOI substrate either without carrying out a heat treatment process or with simply only one heat treatment process, from a substrate manufactured by bonding, on a transparent insulating substrate, a silicon single-crystal substrate having a thermal expansion coefficient significantly different from that of the transparent insulating substrate.

[0019]

The inventors of the present invention have diligently worked on in order to achieve the above-mentioned objective. As a result, the inventors of the present invention have found that, an SOI substrate which can overcome the above-described problem can be manufactured in the following manner: A single-crystal silicon layer is epitaxial-developed on a porous silicon surface of a silicon substrate whose surface layer is caused to be porous. Then an insulating heterogeneous substrate which will be a supporting substrate is caused to closely contact with the epitaxial-developed surface at room temperatures and only by Van der Waals force, and in order to minimize the influence of the stress, the

silicon substrate is removed by wet-etching using an etching solution, without carrying out a heat treatment. Subsequently, the porous part is selectively etched, so that a single-crystal silicon thin film is formed on the insulating substrate.

[0024]

- (a) A step for anodizing a surface layer on one surface of a single-crystal semiconductor substrate so as to cause the surface layer to be porous, in order to form a porous single-crystal semiconductor layer on a non-porous single-crystal semiconductor area;
- (b) A step for epitaxial-developing a non-porous single-crystal semiconductor layer on the porous single-crystal semiconductor layer;
- (c) A step for superposing a surface of the non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the insulating substrate, virtually without carrying out a heat treatment;
- (d) A step of etching the non-porous single-crystal semiconductor area, in order to remove a part of the non-porous single-crystal semiconductor area;
- (e) A step of etching the non-porous single-crystal

semiconductor area remaining after the step (d), in order to remove all of the non-porous single-crystal semiconductor area and cause the porous single-crystal semiconductor layer to be exposed; and

(f) A step of selectively etching the porous single-crystal semiconductor layer in order to remove the porous single-crystal semiconductor layer.

[0027]

(a) A step for anodizing a surface layer on one surface of a single-crystal semiconductor substrate so as to cause the surface layer to be porous, in order to form a porous single-crystal semiconductor layer on a non-porous single-crystal semiconductor area;

(b) A step for epitaxial-developing a non-porous single-crystal semiconductor layer on the porous single-crystal semiconductor layer;

(c) A step for superposing a surface of the non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the insulating substrate, virtually without carrying out a heat treatment;

(e) A step of etching the non-porous single-crystal semiconductor area, in order to remove all of the

non-porous single-crystal semiconductor area and cause the porous single-crystal semiconductor layer to be exposed; and

(f) A step of selectively etching the porous single-crystal semiconductor layer in order to remove the porous single-crystal semiconductor layer.

[0028]

On this occasion, it is preferable that the step (e) is carried out at not more than 100°C and in any one of an alkali solution, an organic alkali solution, and an acid solution including hydrogen fluoride and nitric acid.

[0030]

(a) A step for anodizing a surface layer on one surface of a single-crystal semiconductor substrate so as to cause the surface layer to be porous, in order to form a porous single-crystal semiconductor layer on a non-porous single-crystal semiconductor area;

(b) A step for epitaxial-developing a non-porous single-crystal semiconductor layer on the porous single-crystal semiconductor layer;

(c) A step for superposing a surface of the non-porous single-crystal semiconductor layer onto an insulating substrate, and then bonding the surface of the non-porous single-crystal semiconductor layer with the

insulating substrate, virtually without carrying out a heat treatment; and

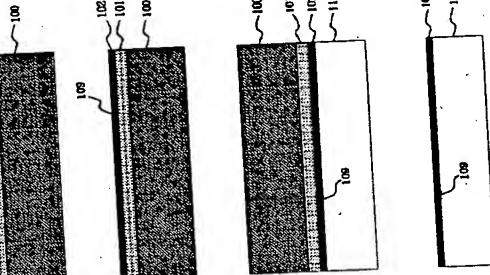
(d) A step of etching the non-porous single-crystal semiconductor area, in order to remove a part of the non-porous single-crystal semiconductor area.

を重ね合わせた後、実質的に熱処理を施すことなく両者

(11)特許出願公開番号 (19)日本国特許庁 (JP)	(12)公開特許公報 (A)	(11)特許出願公開番号 (19)日本国特許庁 (JP)	(12)公開特許公報 (A)
特開平7-235651	特開平7-235651	特開平7-235651	特開平7-235651
(43)公開日 平成7年(1995)9月5日	(43)公開日 平成7年(1995)9月5日	(43)公開日 平成7年(1995)9月5日	(43)公開日 平成7年(1995)9月5日
技術分類番号	技術分類番号	技術分類番号	技術分類番号
(51)InCL*	識別記号	序内整理番号	P 1
H 01 L 21/20	27/12 21/304	B M	8418-4M
3 2 1			
(71)出願人 (21)出願番号	特願平6-32753	(71)出願人 (21)出願番号	キヤノン株式会社
(22)出願日	平成6年(1994)12月28日	(72)発明者 (22)発明者番号	山方 雅一 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
(31)優先権主張番号 (32)優先日 (33)優先権主張国	特願平5-337494 平5(1993)12月28日 日本 (JP)	(72)発明者 (22)発明者番号	米原 隆夫 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
審査請求 未請求	請求項の数17 OL (全 18 頁)	最終日に説く	(74)代理人 丸島 一 井理士

(54) [発明の名称] 半導体基板およびモード切替装置

〔要約〕 [57]【目的】熱処理を行なうことで、基板が割れる、剥れるといった事故が起りやすいので、その問題を解決する限りわせ半導体基板とその作製方法を提供した。
〔構成〕多孔質半導体上にエピタキシャル成長させた半導体基板を貼り合わせ、半導体基板を用いて貼り合わせる、エッチング、研削、あるいは両者の組み合わせを用いて削除する工程によって熱処理を行なわいか、行なうとしても一回しが行なわないようにする。



ることを特徴とする半導体基板である。
【請求項 1.4】 前記基板または活性化銀半導体基板である。
【請求項 1.3】 に記載の半導体基板。
【請求項 1.2】 前記活性化銀半導体基板は SiO_2 を
【請求項 1.1】 前記活性化銀半導体基板はシリコンを主成
【請求項 1.6】 前記半導体基板はシリコンをシリコンを主成
【請求項 1.5】 前記活性化銀半導体基板はシリコンをシリコンを主成

c) 前紀非多孔質單細胞生物

(1) 11

度が小さくなる。即ち孔の占める体積が大きくなる。これによってエビタキシャル成長の条件が変わる。

【0043】(図1b) 以上のようにして形成した多孔質層101上に、非多孔質の単結晶シリコン層102をエビタキシャル成長させ。エビタキシャル成長は一般的な熱CVD、液圧CVD、スパッタ法等で行う。成長する膜厚はS01層の膜厚と同じくすれば良いが、好ましくは2.2μm以下の膜厚が良い。これは2.2μm以上の膜厚の単結晶シリコン層がS101を主成分とする熱結体基板と密着する場合、これをデバイスプロセスで熱処理している場合、熱材料の熱膨張係数から貼り合わせ界面に大きな応力が発生し、シリコン膜の破壊、基板の反り、または界面の剥離等が起こってしまうからである。膜厚が2.2μm以下であれば応力は比較的小さいので、膜の破壊、剥離、反り等は起こりにくい。より好ましくは、0.5μm以下である。これは0.5μm以上の膜厚であると、後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こってしまうからである。

【0044】エビタキシャル層102の表面を熱処理しておくるのが好ましい。同様なら单結晶シリコンのエビタキシャル層を堆積させたまま状態だと、界面の原子の非結合手(ダンギングボンド)が多くなる。このため大気中で行う次の工程で直接基板と貼り合わせた場合、貼り合わせ界面には不純物が偏析しやすい。この不純物の堆積は堆積デバイスの特性を不安定化させる要因となる。

【0045】尚エビタキシャル層102には、成長界面より積層欠陥100が発生する場合がある。Van der Waals結合力が増大するからである。この層は熱処理等の融水洗浄を行なった基板でも、貼り合わせ面の平坦性が良ければ貼り合わせは十分可能である。この貼り合わせは、両基板を出露と過酸化水素水混合液に浸しておくるのは好ましくないが、多孔質シリコン基板部分101を全く除くしておけば、エビタキシャル層102に及ぶ。

【0046】(図1c) 上記成長したエビタキシャル層102を主成分とする熱結晶性基板110は、S101を主成分とする熱結晶性基板110と貼り合わせる。この貼り合わせは、両基板を出露と過酸化水素水混合液で洗浄した後

に行なわれる。即ちこの洗浄によって両基板表面を親水性に処理することができ、貼り合わせ基板の水を介してVan der Waals結合力が増大するからである。このエビタキシャル層102はセラミック層101はセラミック層101と貼り合わせる。このセラミック層は熱結晶性基板110はセラミック層101と貼り合わせる。このセラミック層は熱結晶性基板110はセラミック層101と貼り合わせる。

【0047】一般的な方法であれば、次に100°C前後の熱処理を行なうのが、本発明ではこれを行なわない。貼り合わせ基板の結合を強めるために、ここで基板を加压するとい。圧力は全く任意であるが、例えば5インチ基板全面に数トーン～數十トンの圧力を加えること、ここでエビタキシャル層に基板を貼るなら溶融石英、合成石英、高融点ガラス等の中から選ばれる。

【0048】(図1d) 次にエビタキシャル成長層102を残してシリコン基板部分101と多孔質層101をを選択的に除去するのだが、まずシリコン基板部分の孔質層101上に、研削とエッチングの2段階で行なう。最初の研削は、研削とエッチングによって熱結体基板上に单結晶シリコン薄膜を得ることができる。尚多孔質シリコン基板剥り厚は最も小でも1.0μm、好ましくは1.5μm程度を残した位置で終するのが好ましい。次いで残ったシリコン基板は水酸化カリウム(KOH)、アンモニア水等の有機アルカリ溶液、或いはトリメチルアンモニウム等の作製プロセスに移行することになる。この後熱結体基板とシリコン部分の界面は熱処理で強いために、シリコン部分のS101成分を殆どエッチングしないで、シリコン部分のS01成分を残してシリコン層は支持基板に多く残る。このシリコン層は過酸化水素水のアルカリ溶液、或いはトリメチルアンモニウム等の作製プロセスで熱処理すると、シリコン層がS101を主成分とする熱結体基板と密着する。また、フッ酸と硝酸、もしくはこれに酢酸等を加えた混合液でエッチング除去することも可能である。但しフッ酸硝酸エチチャントは支持基板を多少エッチングと同様である。

【0049】(図1e) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こってしまうからである。

【0050】(図1f) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こってしまうからである。

【0051】(図1g) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こってしまうからである。

【0052】(図1h) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こってしまうからである。

【0053】(図1i) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こってしまうからである。

【0054】(図1j) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こってしまうからである。

【0055】(図1k) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こってしまうからである。

【0056】(図1l) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こってしまうからである。

(4)

あまり選択肢がとれないことと、残されるべき単結晶シリコン薄膜も多少エッチングされるということで、精密に時間等の精微をする必要がある。

【0057】(図1b) 以上の工程で形成した多孔質層101を残すのだが、まずシリコン基板部分の孔質層101上に、研削とエッチングの2段階で行なう。最初の研削は、研削とエッチングによって熱結体基板上に单結晶シリコン薄膜を得ることができる。尚多孔質シリコン基板剥り厚は最も小でも1.0μm、好ましくは1.5μm程度を残した位置で終するのが好ましい。次いで残ったシリコン基板は水酸化カリウム(KOH)、アンモニア水等のアルカリ溶液、或いはトリメチルアンモニウム等の作製プロセスで熱処理すると、シリコン層が過酸化水素水のアルカリ溶液、或いはトリメチルアンモニウム等の作製プロセスで熱処理すると、シリコン層がS101を主成分とする熱結体基板と密着する。また、フッ酸と硝酸、もしくはこれに酢酸等を加えた混合液でエッチング除去することも可能である。但しフッ酸硝酸エチチャントは支持基板を多少エッチングと同様である。

【0058】(図1c) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こる。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こる。

【0059】(図1d) 前記多孔質シリコン層101上にCVD法により、单結晶シリコン層102を0.5μmエビタキシャル成長した。堆積条件は以下のとおりである。

【0060】(図1e) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こる。

【0061】(図1f) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こる。

【0062】(図1g) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こる。

【0063】(図1h) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こる。

【0064】(図1i) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こる。

【0065】(図1j) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こる。

【0066】(図1k) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こる。

【0067】(図1l) 上記成長したエビタキシャル層102を熱処理で強化する。尚研削した後、エッチング層の使用は避けた方がよい。尚研削した後、エッチング層の前に300°C程度の熱処理を行なうと、その後のアーニールの際に剥離、破壊等が起こらなくて済む。このエビタキシャル層は熱結体基板と密着するので、熱処理工程で剥離等が起こる。

この時の溶渡60°Cは4.9%HF溶渡を用い、電流密度は100mA/cm²であった。そしてこの時の多孔質化速度は8.4μm/minであり、2.0μm/min厚みの多孔質化速度は約2.5分で得られた。

【0068】(図1b) 前記多孔質シリコン層101上にCVD法により、单結晶シリコン層102を0.5μmエビタキシャル成長した。堆積条件は以下のとおりである。

【0069】(図1c) 使用ガス： SiH₄/H₂ガス流量： 0.42/140 (1/min)

温度： 750°C
圧力： 80Torr
成長速度： 0.08μm/min.

【0070】(図1d) 上記端面を密着させた。

このとき端面を密着させた後が発生した。

【0071】(図1e) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110と室温で密着させた。

【0072】(図1f) 上記端面を密着させた後が発生した。

【0073】(図1g) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110と室温で密着させた。

【0074】(図1h) 上記端面を密着させた後が発生した。

【0075】(図1i) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110と室温で密着させた。

【0076】(図1j) 上記端面を密着させた後が発生した。

【0077】(図1k) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110と室温で密着させた。

【0078】(図1l) 上記端面を密着させた後が発生した。

あまり選択肢がとれないことと、残されるべき単結晶シリコン薄膜も多少エッチングされるということで、精密に時間等の精微をする必要がある。

【0079】(図1b) 以上の工程で形成した多孔質層101を残すのだが、まずシリコン基板部分の孔質層101上に、研削とエッチングの2段階で行なう。最初の研削は、研削とエッチングによって熱結体基板上に单結晶シリコン薄膜を得ることができる。尚多孔質シリコン基板剥り厚は最も小でも1.0μm、好ましくは1.5μm程度を残した位置で終するのが好ましい。

【0080】(図1c) ついで残ったシリコン基板は水酸化カリウム(KOH)、アンモニア水等のアルカリ溶液、或いはトリメチルアンモニウム等の作製プロセスで熱処理すると、シリコン層は過酸化水素水のアルカリ溶液、或いはトリメチルアンモニウム等の作製プロセスで熱処理すると、シリコン層がS101を主成分として存在する。またはデバイスプロセスの熱工程(酸化等)が、これに代わっても問題はない。

【0081】(図1d) 本発明の第1の実施態様例は、非多孔質シリコンの削除によって作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0082】(図1e) 上記端面を密着させた後が発生した。

【0083】(図1f) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0084】(図1g) 上記端面を密着させた後が発生した。

【0085】(図1h) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0086】(図1i) 上記端面を密着させた後が発生した。

【0087】(図1j) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0088】(図1k) 上記端面を密着させた後が発生した。

【0089】(図1l) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

あまり選択肢がとれないことと、残されるべき単結晶シリコン薄膜も多少エッチングされるということで、精密に時間等の精微をする必要がある。

【0090】(図1b) 以上の工程で形成した多孔質層101を残すのだが、まずシリコン基板部分の孔質層101上に、研削とエッチングの2段階で行なう。最初の研削は、研削とエッチングによって熱結体基板上に单結晶シリコン薄膜を得ることができる。尚多孔質シリコン基板剥り厚は最も小でも1.0μm、好ましくは1.5μm程度を残した位置で終するのが好ましい。

【0091】(図1c) ついで残ったシリコン基板は水酸化カリウム(KOH)、アンモニア水等のアルカリ溶液、或いはトリメチルアンモニウム等の作製プロセスで熱処理すると、シリコン層は過酸化水素水のアルカリ溶液、或いはトリメチルアンモニウム等の作製プロセスで熱処理すると、シリコン層がS101を主成分として存在する。またはデバイスプロセスの熱工程(酸化等)が、これに代わっても問題はない。

【0092】(図1d) 本発明の第1の実施態様例は、非多孔質シリコンの削除によって作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0093】(図1e) 上記端面を密着させた後が発生した。

【0094】(図1f) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0095】(図1g) 上記端面を密着させた後が発生した。

【0096】(図1h) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0097】(図1i) 上記端面を密着させた後が発生した。

【0098】(図1j) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0099】(図1k) 上記端面を密着させた後が発生した。

【0100】(図1l) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

あまり選択肢がとれないことと、残されるべき単結晶シリコン薄膜も多少エッチングされるということで、精密に時間等の精微をする必要がある。

【0101】(図1b) 以上の工程で形成した多孔質層101を残すのだが、まずシリコン基板部分の孔質層101上に、研削とエッチングの2段階で行なう。最初の研削は、研削とエッチングによって熱結体基板上に单結晶シリコン薄膜を得ることができる。尚多孔質シリコン基板剥り厚は最も小でも1.0μm、好ましくは1.5μm程度を残した位置で終するのが好ましい。

【0102】(図1c) ついで残ったシリコン基板は水酸化カリウム(KOH)、アンモニア水等のアルカリ溶液、或いはトリメチルアンモニウム等の作製プロセスで熱処理すると、シリコン層は過酸化水素水のアルカリ溶液、或いはトリメチルアンモニウム等の作製プロセスで熱処理すると、シリコン層がS101を主成分として存在する。またはデバイスプロセスの熱工程(酸化等)が、これに代わっても問題はない。

【0103】(図1d) 本発明の第1の実施態様例は、非多孔質シリコンの削除によって作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0104】(図1e) 上記端面を密着させた後が発生した。

【0105】(図1f) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0106】(図1g) 上記端面を密着させた後が発生した。

【0107】(図1h) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0108】(図1i) 上記端面を密着させた後が発生した。

【0109】(図1j) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0110】(図1k) 上記端面を密着させた後が発生した。

【0111】(図1l) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

あまり選択肢がとれないことと、残されるべき単結晶シリコン薄膜も多少エッチングされるということで、精密に時間等の精微をする必要がある。

【0112】(図1b) 以上の工程で形成した多孔質層101を残すのだが、まずシリコン基板部分の孔質層101上に、研削とエッチングの2段階で行なう。最初の研削は、研削とエッチングによって熱結体基板上に单結晶シリコン薄膜を得ることができる。尚多孔質シリコン基板剥り厚は最も小でも1.0μm、好ましくは1.5μm程度を残した位置で終するのが好ましい。

【0113】(図1c) ついで残ったシリコン基板は水酸化カリウム(KOH)、アンモニア水等のアルカリ溶液、或いはトリメチルアンモニウム等の作製プロセスで熱処理すると、シリコン層は過酸化水素水のアルカリ溶液、或いはトリメチルアンモニウム等の作製プロセスで熱処理すると、シリコン層がS101を主成分として存在する。またはデバイスプロセスの熱工程(酸化等)が、これに代わっても問題はない。

【0114】(図1d) 本発明の第1の実施態様例は、非多孔質シリコンの削除によって作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0115】(図1e) 上記端面を密着させた後が発生した。

【0116】(図1f) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0117】(図1g) 上記端面を密着させた後が発生した。

【0118】(図1h) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0119】(図1i) 上記端面を密着させた後が発生した。

【0120】(図1j) 上記方法にて作成した基板を塩酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後同方法にて洗浄した5インチの培養石英基板110が発生した。

【0121】(図1k) 上記端面を密着させた後が発生した。

【0122】(図1l) 上

(11)

英基板210は数μmエッチングされただけにとどまつた。

【0107】(図2-e) 上記工程により得られた石英基板210上の単結晶シリコン構造202を、酸洗された素子の面積、形状、配置に合わせて島状にバーニングした。例えばチャネル長/チャネル幅が各々2μm/4μmのMOS型トランジスタを設計した位置には、ソース・ドレイン領域を含めて4×10μm²の島を設計した。

【0108】バーニング後に露熱炉気中、1,000°C、2時間の熱処理を行い、透明基板上に厚さ0.5μmの単結晶シリコン薄膜を備えたSOI基板を得た。

【0109】(実施例8) 図3を用いて本発明の第8実施例の詳細を説明する。

【0110】(図3-a) 4.0μmの厚みを持つた抵抗率0.1Ω·cmの5インチP型(100)シリコン基板を、前記多孔質シリコン701上にCVD法により、单結晶シリコン層0.2を、0.5μmエピタキシャル成長した。堆積条件は以下のとおりである。

【0110】使用ガス: SiH₄/H₂ガス流量: 0.42/140 (l/min) 温度: 750°C

圧力: 80 Torr 成長速度: 0.08μm/min。

【0111】(図3-b) 得られた基板の多孔質表面に第1実施例と同様にしてエピタキシャル層302を、0.5μmの厚みに形成した。更に同基板のエピタキシャル層302表面を100°Cの水蒸気中で、2.4μmエピタキシャル層303を備した。この結果エピタキシャル層のシリコン単結晶部分が0.4μm、膜厚部分が0.2μmの膜厚に各々なつた。

【0112】(図3-c) 上記工程にて作成した基板を希フッ酸液で洗浄し、更に純水で乾燥させた後に同方法にて洗浄した5インチの島を形成した。

【0113】(図3-d) 第1実施例と同様な方法で、SD-1によってシリコン基板部分300を全てエッチングした後、多孔質部分301をフッ酸/過酸化水素水溶液で選択的にエッチングした。

【0114】(図3-e) 上記工程により得られた石英基板310上の単結晶シリコン構造302を、第1実施例と同様にして、設計された素子の面積、形状、配置に合わせて島状にバーニングした。

【0115】(図3-f) 第1実施例と同様にして、各々の島状領域を100°Cの酸素空気中で0.5μm酸化した。從つてこの酸化工程を熱処理と兼ねることとし、結果、透明基板上に厚さ約0.4μmの単結晶シリコン薄膜を得た。

【0116】(実施例9) 図6及び図7を用いて本発明の第9実施例の詳細を説明する。

【0117】(図7-a) 6.25ミクロンの厚みを持つた5インチP型(100)単結晶シリコン基板(0.1~0.2cm)を用意し、これを図6に示すよう

に構成して酸化工程を行ない、シリコン基板701の表面を2.0μmだけ多孔質シリコン701にした。

【0118】この時の溶液604は4.9%HF溶液を用い、電流密度

は100mA/cm²であった。そしてこの時の多孔質化速度は8.4μm/min.であり、2.0μmの厚みの多孔質層は約2.5分で得られた。

【0119】(図8-b) 前記多孔質シリコン701上にCVD法により、单結晶シリコン層0.2を、0.5μmエピタキシャル成長した。堆積条件は以下のとおりである。

【0119】使用ガス: SiH₄/H₂ガス流量: 0.42/140 (l/min) 温度: 750°C

圧力: 80 Torr 成長速度: 0.08μm/min。

【0120】(図7-c) 上記方法にて作成した基板を希フッ酸/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後に同方法にて洗浄した5インチの島を形成した。

【0121】(図7-d) 上記貼り合わせ基板のシリコン基板側を、要面研削装置で4.75μm研削してシリコン基板側の残り厚を約1.50μm(单結晶シリコン部分が約1.6μm、多孔質部分が2.0μm、エピ部部分が0.5μm)とした。ここで前記基板を300°Cで多孔質層にてエッチングされたので約1.3分で多孔質層全層がエッチングできた。石英基板210は数μmエッチングされただけにとどまった。

【0122】(図7-e) 上記工程により得られた石英基板210と室温で密着させたこのとおりに、透明基板シリコン薄膜802を、設計した素子の面積、形状、配置に合わせて島状にバーニングした。例えばチャネル長/チャネル幅が各々2μm/4μmのMOS

トランジスタを設計した位置には、ソース・ドレイン領域を含めて4×10μm²の島を設計位置にバーニングした。

【0123】(図7-f) 第1実施例と同様にして、各々の島状領域を100°Cの酸素空気中で0.5μm酸化した。從つてこの酸化工程を熱処理と兼ねることとし、結果、透明基板の多孔質表面に5.0μmの厚みに形成した。更に同基板のエピタキシャル層303を備えたSOI基板を得た。

【0124】(実施例10) 図8を用いて本発明の第10実施例の詳細を説明する。

【0125】(図8-a) 300μmの厚みを持つた

堆積/過酸化水素水/水の混合液で洗浄し、純水リソルブして乾燥させた後、その表面を第1実施例と同様にして石英基板310と室温で密着させた。

【0126】(図8-b) 得られた多孔質シリコン基板部分を2.30μm研削してシリコン基板部分を1.50μmとした後、300°C、2時間の熱処理を行ない、焼いて研削により残りのシリコン基板部分300を全て除去して、多孔質部分301を露出させた。焼いて露出した多孔質部分301はフッ酸/過酸化水素水溶液で選択的にエッチングした。

【0127】(図8-c) 上記工程により得られた石英基板310上の単結晶シリコン薄膜302を、第2実施例と同様にして、脱脂された素子の面積、形状、配置に合わせて島状にバーニングした。

【0128】(図8-d) 上記工程にて作成した基板を希フッ酸/水の1:4混合液で洗浄し、純水リソルブして乾燥させた後に同方法にて洗浄した4インチの滑触石英基板810と室温で密着させた。更に加圧繩を用いて4インチの基板全面に60トンの圧力を加え、10分間保持した。

【0129】(図8-e) まず2.80μmあるシリコン基板部分800の180μmを要面研削装置で研削し、残りシリコン厚を約1.00μm(单結晶シリコン部分が約0.80μm、多孔質部分が0.5μm)にて、各々の島状領域を100°Cの酸素空気中で、各々の島状領域を1.50μm酸化した。従つてこの酸化工程を熱処理と兼ねることとし、結果、透明基板上に厚さ約0.4μmの単結晶シリコン薄膜を備えたSOI基板を得た。

【0130】(実施例12) 図9を用いて本発明の第11実施例の詳細を説明する。

【0131】(図9-a) 6.00μmの厚みを持つた基板900を用意し、その表面から2.0μmの厚みまで各0.010·cmの5インチP型(100)シリコーン基板900を研削して、その表面に厚さ約0.1μmの厚みまで選択的にエッチング液にて洗浄した。フッ酸/過酸化水素水の多孔質シリコンに対するエッチングレートは約1.6μm/min/分であったので約1.3分で多孔質層全層がエッチングできた。

【0132】(図9-b) 得られた基板の多孔質表面に多孔質層901を形成した。

【0133】(図9-c) 上記工程により得られた石英基板810上の単結晶シリコン薄膜802を、設計した素子の面積、形状、配置に合わせて島状にバーニングした。例えばチャネル長/チャネル幅が各々2μm/4μmのMOS

トランジスタを設計した位置には、ソース・ドレン領域を含めて4×10μm²の島を設計位置にバーニングした。

【0134】(実施例11) 図3を用いて本発明の第11実施例の詳細を説明する。

【0135】(図3-a) 4.00μmの厚みを持つた抵抗率0.310·cmの5インチP型(100)シリコン基板300を用意し、その表面から2.0μmの厚みまで多孔質層301を形成した。

【0136】(図3-b) 得られた基板の多孔質表面に多孔質層901を形成した。更に同基板のエピタキシャル層302を、0.5μmの厚みに形成した。焼いて研削にて残りのシリコン基板部分を研削して、シリコン基板部分全てを除去した。

【0137】(図3-c) 後は第1実施例同様に多孔質部分901を1.50μm残して研削した。

【0138】(図3-d) ここで300°Cで10時間の熱処理を行ない、焼いて残りのシリコン基板部分を研削して、シリコン基板部分全てを除去した。

【0139】(図3-e) 上記工程により得られた石英基板210と室温で密着させた後、同方法にて洗浄した後、各々の島状領域を100°Cの酸素空気中で0.5μm酸化した。

【0140】(図9-a) 6.00μmの厚みを持つたシリコーン基板900を用意し、その表面から2.0μmの厚みまで各0.010·cmの5インチP型(100)シリコーン基板900を研削して、その表面に厚さ約0.1μmの厚みまで各0.6μmの厚みまで選択的にエッチング液にて洗浄した。

【0141】(図9-b) 得られた基板の多孔質表面に多孔質層901を形成した。

【0142】(図9-c) 上記基板を塩酸/過酸化水素水の混合液で洗浄し、純水リソルブして乾燥させた後、同方法にて洗浄した5インチの滑触石英基板910と室温で密着させた。

【0143】(図9-d) さらに密着した基板を20トンの圧力を5分間加圧して、シリコン基板部分を研削して、シリコン基板部分全てを除去した。

【0144】(図9-e) 表面研削装置でシリコン基板部分900を1.50μm残して研削した。

【0145】(図9-f) ここで300°Cで10時間の熱処理を行ない、焼いて残りのシリコン基板部分を研削して、シリコン基板部分全てを除去した。

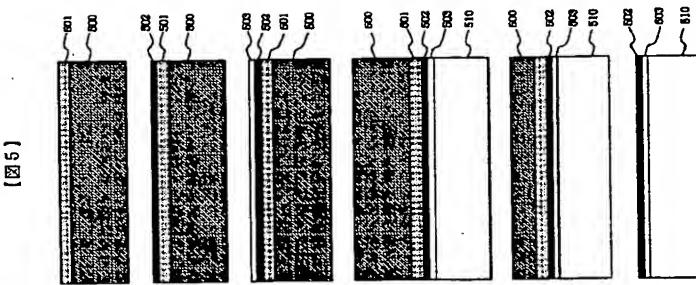
【0146】(図9-g) 後は第1実施例同様に多孔質部分901を1.50μm残して研削した。

【0147】(図9-h) 上記工程により単結晶シリコン薄膜を備えた半導体基板を得た。

【0148】(図9-i) しかしこ本発明を実施することにより、熱処理を行なつた。

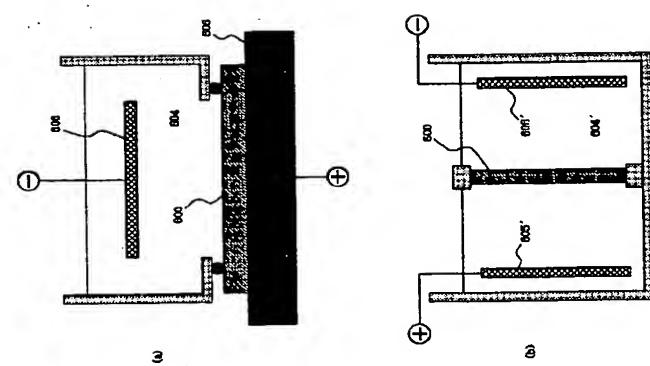
〔15〕

〔図5〕



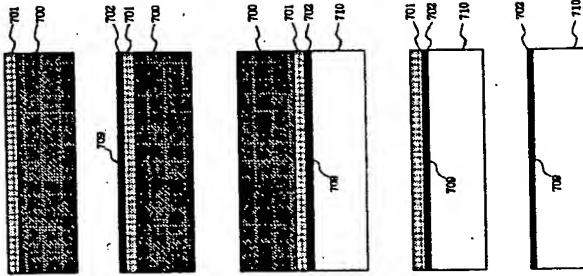
〔16〕

〔図6〕



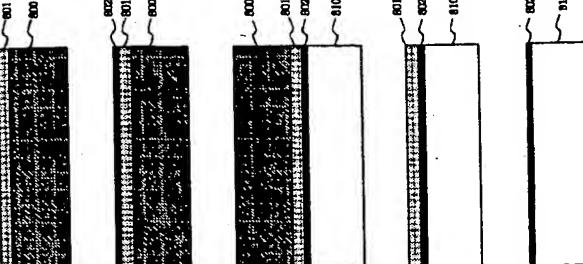
〔17〕

〔図7〕



〔18〕

〔図8〕



フロントページの焼き

(51)In, Cl. 4

H 01 L 11/306
11/142
11/74

F I

技術表示箇所

H 01 L 11/716
P

THIS PAGE BLANK (USPTO)